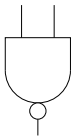
Universität des Saarlandes
FR 6.2 - Informatik
Prof. Dr. W.J. Paul
Dipl.-Ing. Dominik Rester

5. Übungsblatt Informatik II

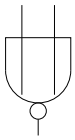
(Abgabe: 23.05.2005)

Wir definieren zwei zusätzliche Gatter *Nand* und *Nor* durch folgende Wertetabellen und Schaltkreissymbole:



x_0	x_1	Nand(x_0, x_1)
0	0	1
0	1	1
1	0	1
1	1	0

x_0	x_1	Nor(x_0, x_1)
0	0	1
0	1	0
1	0	0
1	1	0



Zusätzlich erhöhen wir das Delay von *Und* und *Oder* Gattern um ein realistischeres Delaymodell zu erhalten.

	Inverter	Und, Oder	Exor	Mux_2	Nand, Nor
Delay	1	2	2	2	1
Kosten	1	2	4	3	2

1. **Aufgabe: (Schneller Zero Tester)** **(5 Punkte)**
   In der Vorlesung wurde ein Oder-Baum mit nachgeschaltetem Inverter als Zero Tester benutzt. Konstruiere einen schnellen Zero Tester mit n Eingängen, wobei gilt $n = 2^k$ und $k \in \mathbb{N}$. Das Delay der Schaltung soll $\in \{k, k+1\}$ sein.
   Hinweis: Verwende nur *Nand* und *Nor* Gatter und unterscheide ob k gerade oder ungerade ist.

2. **Aufgabe: (General Purpose Register)** **(5 + 5 + 4 + 4 Punkte)**

   (a) Ein n-Bit Decoder ist ein Schaltkreis, der die Funktion:

   $$Dec : \{0,1\}^n \longrightarrow \{0,1\}^{2^n} : (Dec(x))[i] = 1 \Longleftrightarrow \langle x \rangle = i$$

   berechnet. Gebe eine rekursive Konstruktion für einen n-bit Decoder an, mit $n \in \mathbb{N}_0$

   (b) Konstruiere mit Hilfe eines 5-bit Decoders und 1-bit Registern ein $2^5 \times 32$ RAM wie in der Vorlesung definiert.

   (c) Konstruiere ein 3-port RAM wie in der Vorlesung definiert.

   (d) Konstruiere aus einem 3-port RAM und elementaren Gattern das General Purpose Register für den DLX Prozessor wie in der Vorlesung definiert.
   Hinweis: Beachte Lesezugriffe auf GPR(0).

Universität des Saarlandes
FR 6.2 - Informatik
Prof. Dr. W.J. Paul
Dipl.-Ing. Dominik Rester

5. Übungsblatt Informatik II

(Abgabe: 23.05.2005)

3. **Aufgabe: (Incrementer)** **(4 + 4 Punkte)**
Im *nextPC* Schaltkreis wird ein 30 bit Incrementer verwendet. Ein n bit Incrementer ist ein Schaltkreis, der die Funktion

$$\{0,1\}^n \longrightarrow \{0,1\}^n : Inc(x) = x +_n 1_n$$

berechnet. Konstruiere einen n bit Incrementer mit:

   (a) geringen Kosten. Die Kosten deiner Konstruktion sollen in $O(n)$ liegen.

   (b) geringem Delay. Das Delay deiner Konstruktion soll in $O(\log n)$ liegen und die Kosten in $O(n \cdot \log n)$.

   Gib Kosten und Delay deiner Konstruktionen an.

4. **Aufgabe: (Software Multiplikation)** **(5 Punkte)**
Der einfache DLX Prozessor aus der Vorlesung bietet keine Instruktion um 2 Zahlen zu multiplizieren. Daher ist es nötig, die Multiplikation durch wiederholtes Addieren zu simulieren. Schreibe ein DLX Assembler Programm, das zwei Zahlen miteinander multipliziert. Die beiden Zahlen stehen zu Beginn des Programms in den Registern R11 und R12, das Ergebnis soll nach Ausführung des Programms in R20 stehen.
Hinweis: Achte auf korrekte Funktion deines Programs, falls die Faktoren Null oder negativ sind.