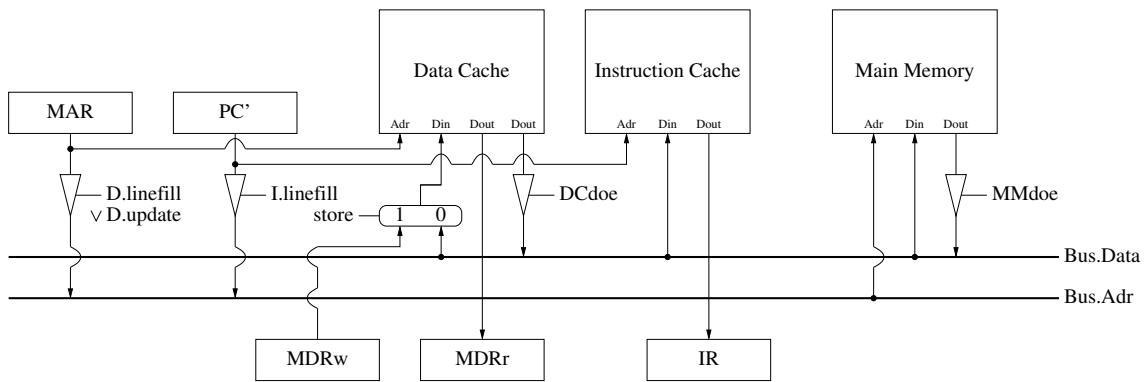


Übersicht über den Speicherbus mit getrenntem Daten- und Instruktionscache:

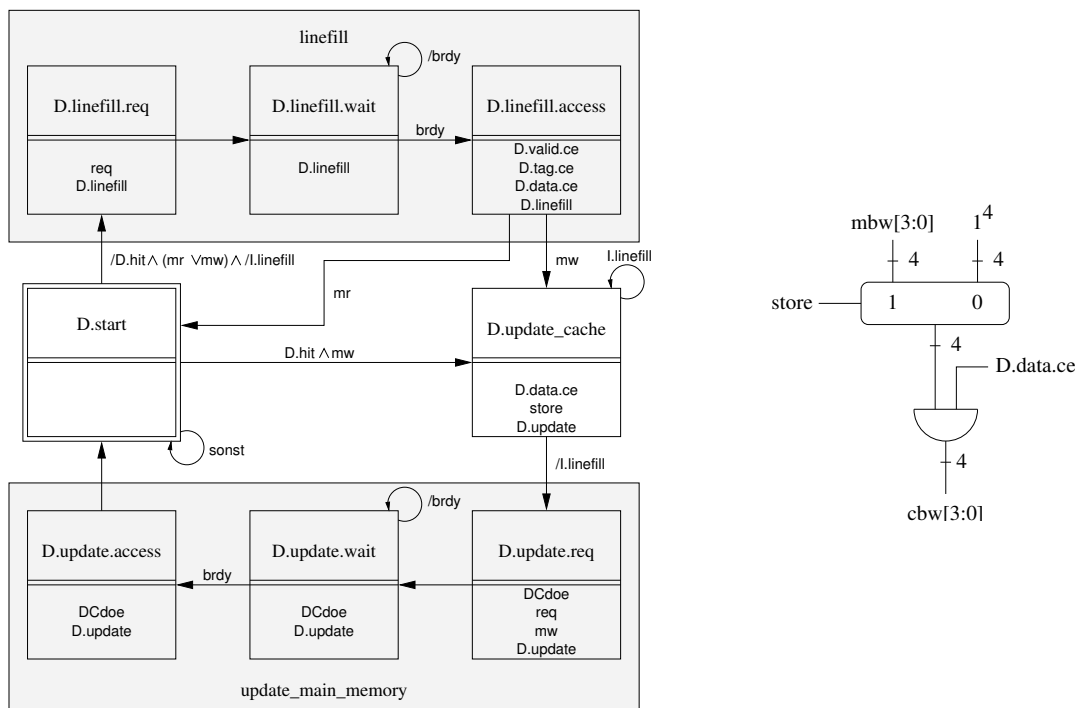


Herkunft der Kontrollsignale:

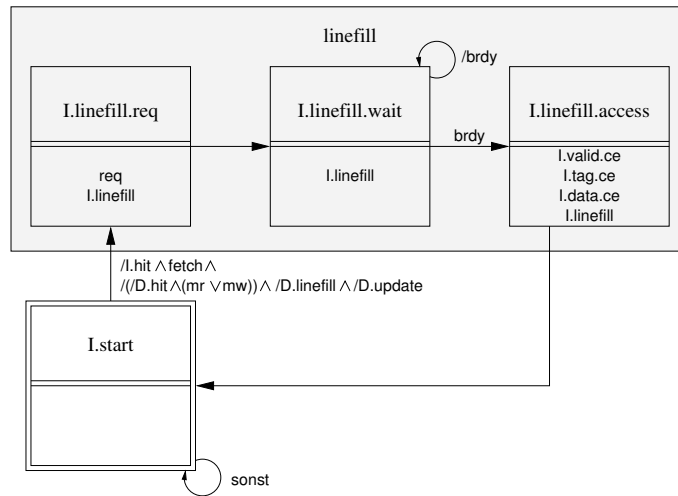
- CPU: *MDRwdoe, MARdoe, PC'doe, fetch, mr, mw, mbw[3:0]*
- Main Memory: *MMdoe, brdy*
- Daten-Cache: *DCdoe, req, D.hit, D.linefill, D.update*
- Instruktions-Cache: *req, I.hit, I.linefill*

Priorisierung bei gleichzeitigem Busrequest: Erst Daten-Cache, dann Instruktions-Cache.

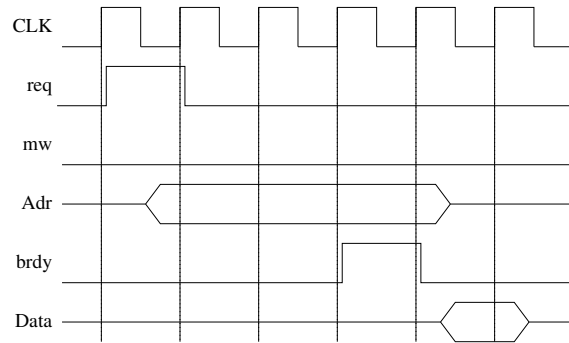
State Machine des Daten-Cache / Berechnung der Cache Bank Writes aus den Memory Bank Writes:



State Machine des Instruktions-Cache:



Busprotokoll für Lesezugriffe auf das Main Memory:



Busprotokoll für Schreibzugriffe auf das Main Memory:

