University of the Saarland
Department 6.2 - Informatik
Prof. Dr. W.J. Paul

Computer Architecture I - WS 02/03

(bis: 18.11.2002)

Übung 1: (Gewicht von Knoten) (8 Punkte)

In der Vorlesung wurde das Gewicht $W(\nu)$ eines Knoten ν im Additionsbaum definiert als:

- Für Blätter: $W(\nu) = \begin{cases} 3 \text{ für } 3/2 \text{ Addierer} \\ 4 \text{ für } 4/2 \text{ Addierer} \end{cases}$
- Für innere Knoten mit linkem Sohn λ und rechtem Sohn ρ: $W(\nu) = W(\lambda) + W(\rho)$.

Zeigen Sie per Induktion über den Level l im Additionsbaum:

1. In Level l sind die Gewichte von links nach rechts monoton steigend.
2. Die Summe der Gewichte aller Knoten in Level l ist m.

Übung 2: (Leading Zero Counter) (8+4 Punkte)

Ein Leading Zero Counter ist ein Schaltkreis, der die Anzahl der führenden Nullen eines Bitstrings $a[n-1:0]$ berechnet.

In Abbildung **??** sehen Sie zwei Schaltkreise, die für die Berechnung der Anzahl der führenden Nullen von a benutzt werden können. In Abbildung **??** sehen Sie als Beispiel einen 8 Bit Leading Zero Counter, der aus diesen zwei Schaltkreisen aufgebaut ist. Im ersten Schritt wird die Eingabe in $n/2$ viele LZero-a Schaltkreise gegeben. Dahinter befindet sichh ein Baum aus LZero-b Schaltkreisen, der das Ergebnis $b[4:0]$ berechnet.

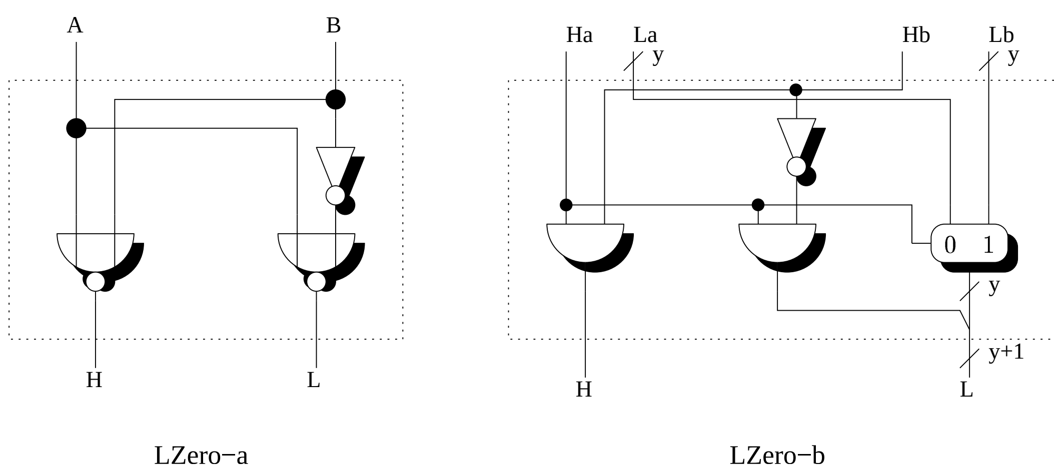

Figure 1: Komponenten für einen Leading Zero Counter

1. Zeigen Sie, dass Schaltkreise, die auf diese Weise konstruiert sind, korrekt die Anzahl führender Nullen der Eingabe berechnen. Nehmen Sie dazu an, dass n eine Zweierpotenz ist.

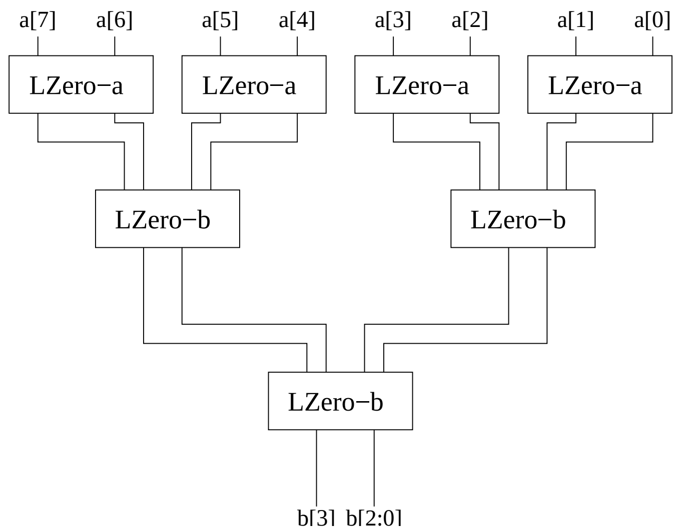

Figure 2: 8 Bit Leading Zero Counter

2. Leiten Sie eine geschlossene Formel für die Kosten und das Delay eines solchen Schaltkreises her. Nehmen Sie als Kosten für einen n-Bit Multiplexer $C(mux) = 3 * n + 1$ und als Delay $D(mux) = 3$. Beweisen Sie die Korrektheit ihrer Formeln.

Übung 3: (Addierer Baum) **(5+3+2 Punkte)**

In der Vorlesung haben wir den balancierten Additionsbaum eines (n,m)-Multiplizierers mit 4/2 Addierern aufgebaut[1]. Man kann den Additionsbaum allerdings auch direkt aus 3/2 Addierern aufbauen.

1. Ein $m/2$ Addierer addiert m-viele Eingabebusse und gibt zwei Ausgabebusse aus. Geben Sie eine rekursive Konstruktion eines $m/2$ Addierers an, der nur aus 3/2 Addierern aufgebaut ist. Die Bitbreite der einzelnen Addierer braucht nicht betrachtet zu werden.

2. Leiten Sie eine Formel für das Delay ihres Schaltkreises her.

3. Für welche m ist das Delay ihres Schaltkreises kleiner als das des Baumes aus der Vorlesung?

[1] Ausgenommen im ersten Level, wo wir auch 3/2 Addierer verwendet haben.